

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

02241420     \*\*Image available\*\*

THIN FILM CONDUCTOR OF AMORPHOUS SILICON CONTAINING  
MICROCRYSTALLINE PHASE

PUB. NO.:     62-158320 [JP 62158320 A]

PUBLISHED:     July 14, 1987 (19870714)

INVENTOR(s):   MIYAKOSHI TOSHIHIKO  
                 KOTADO SETSUO

APPLICANT(s):   ANRITSU CORP [330013] (A Japanese Company or Corporation), JP  
                 (Japan)

APPL. NO.:     60-299465 [JP 85299465]

FILED:           December 28, 1985 (19851228)

INTL CLASS:     [4] H01L-021/205; H01L-029/84; H01L-035/34

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors)

JOURNAL:        Section: E, Section No. 568, Vol. 11, No. 396, Pg. 96,  
                 December 24, 1987 (19871224)

#### ABSTRACT

PURPOSE: To make it possible to obtain a three-dimensional sensor easily and inexpensively, by preparing on an insulating substrate a silicon thin film in which an amorphous phase and a microcrystalline phase exist mixedly, and by providing a pair of electrodes on the opposite sides of the thin film.

CONSTITUTION: An amorphous silicon thin film conductor 2 can be made to have a dark current conductivity of a large value of  $0.1 \text{ S.cm}(\text{sup } -1)$  or above by a method wherein an amorphous phase and a microcrystalline phase made up of silicon mixed crystal are made to exist mixedly, and thereby a small-sized resistor can be formed on an insulating substrate 1. The temperature coefficient of the dark current conductivity is 1%/K or below, and the thermoelectric power is  $10 \mu\text{V/K}$  at least. Thereby, a resistor not requiring temperature compensation, a high-frequency power sensor, an infrared sensor, a strain sensor, a pressure sensor, a load cell, etc. can be constructed by employing the titled material.

⑬ Int.Cl.

H 01 L 21/205

29/84

35/34

識別記号

庁内整理番号

7739-5F

A-6819-5F

7131-5F

⑭ 公開 昭和62年(1987)7月14日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 微結晶相を含むアモルファスシリコン薄膜導電体

⑯ 特 願 昭60-299465

⑰ 出 願 昭60(1985)12月28日

⑱ 発 明 者 宮 越 俊 彦 東京都港区南麻布5丁目10番27号 アンリツ株式会社内  
⑲ 発 明 者 古 田 土 節 夫 東京都港区南麻布5丁目10番27号 アンリツ株式会社内  
⑳ 出 願 人 アンリツ株式会社 東京都港区南麻布5丁目10番27号  
㉑ 代 理 人 弁理士 小池 龍太郎

## 明 細 書

## 1. 発明の名称

微結晶相を含むアモルファスシリコン薄膜導電体

## 2. 特許請求の範囲

1) 絶縁性基板と、該基板上に形成され、アモルファス相と微結晶相とが混在するようなシリコンで成る薄膜と、該薄膜に電流を入出力するための一対の電極とを備えたシリコン薄膜導電体。

2) 前記薄膜は少なくとも  $0.1 \text{ S} \cdot \text{cm}^{-1}$  の導電率を有することを特徴とする特許請求の範囲第1項記載のシリコン薄膜導電体。

3) 前記薄膜は少なくとも  $10 \mu\text{V/K}$  の熱電能を有することを特徴とする特許請求の範囲第1項または第2項記載のシリコン薄膜導電体。

4) 前記薄膜は導電率の温度係数が  $1\%/K$  以下であることを特徴とする特許請求の範囲第1項、第2項または第3項記載のシリコン薄膜導電体。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、電子回路に使用するための導電体に係り、特にマイクロエレクトロニクスの範囲に属するもので、特殊な新しい原子的構造を備えた薄膜導電体に関する。この新しい特殊な半導体薄膜導電体は、半導体材料で成るにも拘らず、比較的大きな導電率をもち、しかもその温度係数が小さく、他方では熱電能(ゼーベック係数の大きさ)が半導体のように大きいという特徴を備えていることが発見されたことから、微細な熱電効果素子を構成することができ、電力測定用のパワーセンサの構成素材とすることができる。また、機械的ひずみ(あるいは応力)によってその抵抗が変化するエラスト抵抗効果(あるいはピエゾ抵抗効果)を備えているから、ひずみあるいは力のセンサの構成素材とすることができる。すなわち、各種のセンサエレクトロニクス用素材を提供するものである。

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

007235838

WPI Acc No: 1987-232846/198733

Thin film CVD conductor for power gauge sensor - has amorphous silicon layer on glass wafer, and patterned electrode couple to supply current

NoAbstract Dwg 0/7

Patent Assignee: ANRITSU ELECTRIC CO LTD (ANRI )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 62158320</b>	A	19870714	JP 86299465	A	19861228	198733 B

Priority Applications (No Type Date): JP 85299465 A 19851228; JP 86299465 A 19861228

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 62158320	A	4		

Title Terms: THIN; FILM; CVD; CONDUCTOR; POWER; GAUGE; SENSE; AMORPHOUS; SILICON; LAYER; GLASS; WAFER; PATTERN; ELECTRODE; COUPLE; SUPPLY; CURRENT ; NOABSTRACT

Derwent Class: S03; U12

International Patent Class (Additional): H01L-021/20; H01L-029/84; H01L-035/34

File Segment: EPI

## 〔従来の技術〕

センサ エレクトロニクス用素材として、各種の金属、合金、単元素半導体、化合物半導体、半金属、アモルファス材料などが数多く知られているところである。従来のこの種の素材の特性を見ると、いずれも一つに特長があると、他に欠点があるという具合であった。たとえば、単元素半導体であるp形シリコンのピエゾ抵抗効果は合金のニッケルクロムの $10^2$ 倍も大きい、抵抗の温度係数が $10^3$ 倍も大きいという具合であった。ゼーベック係数と導電率あるいはその温度係数についても同様なことが言える。

## 〔発明が解決しようとする問題点〕

半導体の特長であるセンサ エレクトロニクスに利用したい優れた特性と、低抵抗(高導電率)およびその温度係数が小さいという性質をとともに備え、ガラス基板はじめあらゆる基板上に堆積でき、しかも加工がし易いという生産技術上の要請をすべて備えたマイクロエレクトロニクス用導電体を実現することがこの発明の課題である。

$0.1 \text{ S} \cdot \text{cm}^{-1}$  以上であり、導電率の温度係数は1%/K以下である。しかも、熱電能(ゼーベック係数)の大きさは少なくとも $10 \mu\text{V/K}$ を有し、エラスト抵抗効果(ピエゾ抵抗効果)の大きさを示すゲージ率(抵抗変化率/ひずみ)は少なくとも4を備えている。

## 〔実施例〕

この発明の薄膜導電体をマイクロエレクトロニクスの技法の一つであるCVD(Chemical Vapour Deposition)法で製造する方法について述べる。市販のプラズマCVD炉を用いる。熱CVD炉あるいは光CVD炉でも差支えないし、製造装置は要するにアモルファス相を形成できるものであればよい。ここで説明する実施例では、p形の導電体を形成するものとする。なお、n形も同様な方法で形成できる。

炉内に導入する原料ガスはシランガスを用いる。p形ドーパントとして水素希釈のジボラン( $\text{B}_2\text{H}_6$ )を添加する。堆積条件の一例を表-1に示す。基板には少なくとも表面が絶縁性をもつ基板、例え

## 〔問題点を解決するための手段〕

この発明では薄膜導電体として、シリコンの微結晶相と、アモルファス相との混在するような相素材が、高い導電率をもち、その温度係数が小さく、しかも、大きなゼーベック効果とエラスト抵抗(ピエゾ抵抗)効果を示すという発明者により発見された事実を利用する。すなわち、絶縁性をもつ基板上に、上記アモルファス相と微結晶相とが混在するようなシリコンで成る薄膜をマイクロエレクトロニクスの技法(たとえばプラズマCVD法、光CVD法など)で作成し、その薄膜の両端に一对の電極を備えて、電流の入・出力端子を形成して、上記素材の電流現象(輸送現象)をセンサに利用できる構造とする。

## 〔作用〕

こうして作られたシリコン薄膜導電体はたとえば、結晶化度(微結晶が全体に占める体積割合)は10%から99%までと推定され、微結晶はシリコンであることが観測され、その平均粒径は50Åから500Å程度と見込まれ、導電率は少なくとも

ばガラス基板、マイカ、ポリミドフィルムはじめ各種半導体基板もしくは表面が絶縁材で覆われた金属板が用いられる。

表-1

サンプル	ガス流量比 ( $\text{SiH}_4/\text{B}_2$ )	放電圧力 (Torr)	放電パワー密度 (W/cm <sup>2</sup> )	基板温度 (°C)
A	0.03	0.7	4.00	200
B	0.03	0.7	0.15	200

第1図は、表-1の条件でガラス基板上に堆積したアモルファスシリコン薄膜のX線回折波形を示す図である。図中、横軸は回折角 $2\theta$ を、又、縦軸は回折強度(任意単位)をそれぞれ示す。又、波形AおよびBは、放電パワー密度の大きさがそれぞれ $0.15 \text{ W/cm}^2$ 、 $4.0 \text{ W/cm}^2$ で堆積された場合の各X線回折パターンである。放電パワーが大きくなるに従って、堆積したアモルファスシリコン膜は完全なアモルファス相から微結晶相とアモルファス相とが混在した相に変化していくようすが示されている。又、(111)、(110)および(311)に鋭い回折ピークが表われており、(111)、(110)および

(311)に強く配向していることが示されている。又、各回折パターンのピーク波形およびピーク値の回折角よりシリコンにより構成されていることが示されている。微結晶相とアモルファス相とが混在したアモルファスシリコン薄膜の結晶化度はX線回折パターンをアモルファス相と微結晶相とに分離することにより、計算で求めることができる。手順の記述は省略する。

第2図は、アモルファスシリコン薄膜の結晶化度が放電パワー密度の大きさに依存することを示す図で、X線回折パターンより求めた実験結果の一例である。図中、横軸は放電パワー密度  $P_d$  ( $W/cm^2$ ) の大きさを、縦軸は結晶化度  $V.F$  (%) をそれぞれ示している。この実験結果では、放電パワー密度の大きさが約  $0.3 W/cm^2$  より大きくなると結晶化度が急激に増加していることが示されている。

第3図は、前記表-1の条件でガラス基板上に堆積したアモルファスシリコン薄膜のレーザラマンスペクトルの一例を示す図である。測定法としては直角散乱法を用いた。図中、横軸はラマンシ

フトシリコン薄膜、3は白金薄膜、4はゼーベック係数測定用サンプルをそれぞれ示す。測定に用いたアモルファスシリコン薄膜の膜厚は約  $0.3 \mu m$  である。また、 $T+4T$ は温接点を、 $T$ は冷接点を示す。パターン形成は通常のホトリソグラフィ技術を用いて、また、白金薄膜形成は真空蒸着法を用いた。

第5図は、第4図に示したゼーベック係数測定用サンプル4を用いて得られたアモルファスシリコン薄膜の暗導電率の温度特性の一例を示す図である。図中、横軸は、絶対温度の逆数 ( $1/T$ ) を、縦軸は、暗導電 ( $\sigma_0$ ) をそれぞれ示している。波形Aは放電パワー密度の大きさ  $0.15 W/cm^2$  で堆積したアモルファス相のみで構成されるアモルファスシリコン薄膜の暗導電率の温度特性を示す図で、低温領域では  $(1/T)^{1/2}$  に比例し、高温領域では  $1/T$  に比例することから、低温領域ではホッピング伝導により、また、高温領域ではバンド伝導により電気伝導機構が支配されている。これは、従来のアモルファスシリコン薄膜で得られている温度特性

フト ( $cm^{-1}$ ) を、縦軸はラマン強度 (任意単位) をそれぞれ示している。また、波形AおよびBは、放電パワー密度の大きさが  $0.15 W/cm^2$  および  $4.0 W/cm^2$  でそれぞれ堆積させた場合の各ラマンスペクトルである。波形Aはブロードなパターンを示し、ガラス基板上に堆積されたアモルファスシリコン薄膜が完全なアモルファス相より構成されていることを、さらに、波形Bは鋭いピークを有することにより、微結晶相とアモルファス相とが混在していることが示されている。これらの結果は、第1図で示したX線回折パターンで得られた結果とよく対応している。また、波形Bにおけるピーク値の各ラマンシフト量が  $520 cm^{-1}$  近辺に得られることにより、アモルファスシリコン薄膜はシリコン-シリコン結合より構成されていることが示されている。

第4図は、表-1の条件でガラス基板上に堆積したアモルファスシリコン薄膜の暗導電率およびゼーベック係数の測定に用いたサンプル形状を示す図で、図中、1はガラス基板、2はアモルファ

の例と同じ傾向を示しているが、暗導電率の絶対値の大きさが1~2桁向上しているのが大きい特徴といえる。波形Bは放電パワー密度の大きさ  $4.0 W/cm^2$  で堆積した結晶化度70%の微結晶相を含んだアモルファスシリコン薄膜の暗導電率の温度特性を示す図である。暗導電率の大きさが  $30 S \cdot cm^{-1}$  以上と大きいことと共に、温度による変化が1%/K以下と非常に小さいことが大きな特徴といえる。このように暗導電率が温度変化による影響を受け難いことは、ICチップ上等に微小な抵抗体等を形成する上で極めて有利である。なお、図示しなかったが、表-1による堆積条件で形成したアモルファスシリコン薄膜では、暗導電率が  $0.1 S \cdot cm^{-1}$  以上のものでは、温度係数が1%/K以下と極めて小さいことが確認されている。

第6図は、第4図に示したゼーベック係数測定用サンプル4を用いて測定したアモルファスシリコン薄膜の暗導電率-ゼーベック係数特性を示す図で、横軸に暗導電率  $\sigma_0 (S \cdot cm^{-1})$  の大きさを、縦軸にゼーベック係数  $\alpha (\mu V/K)$  の大きさを示す。図

中、白丸印はアモルファスシリコン薄膜のゼーベック係数の大きさを示す。アモルファスシリコン薄膜では、暗導電率 $\sigma_D$ が $0.1\text{ S}\cdot\text{cm}^{-1}$ 以上におけるゼーベック係数として $100\sim 350(\mu\text{V}/\text{K})$ と大きな値が示されている。このアモルファスシリコン薄膜を用いれば、高性能な熱電対はじめ高周波パワーセンサ、赤外線センサ、温度センサ等が構成でき幅広いセンサへの応用が期待できる。

また、第7図に示すひずみゲージ測定用サンプル9を形成し、ゲージ率を測定した結果、4~60以上のものが得られている。なお、図中、5はガラス基板、6はアモルファスシリコン薄膜、7,7'はオーミック電極、8,8'はAuリボン線をそれぞれ示す。オーミック電極材としてはニクロム・金多層薄膜を用いている。又、矢印はひずみゲージ測定のため、外部より加えた応力の方向を示している。

以上で述べたアモルファスシリコン薄膜のプラズマCVD法による堆積条件は、 $\text{SiH}_4/\text{H}_2$ の流量比、放電圧力、放電パワー、基板温度に依存する

ことが確認されており、表-1に示した以外でも形成でき、次に示すような範囲内で、例えば $\text{SiH}_4/\text{H}_2=0.003\sim 1$ 、放電圧力 $0.01\sim 10(\text{Torr})$ 、放電パワー密度 $0.01\sim 10\text{ W}/\text{cm}^2$ 、基板温度 $150\sim 500^\circ\text{C}$ で形成できる。又、光CVD法においては、低温形成、例えば基板温度が $200^\circ\text{C}$ 前後でも形成できる。

#### 〔効果〕

以上詳説したように、本発明によるアモルファスシリコン薄膜導電体は、シリコン結晶よりなるアモルファス相と微結晶相とを混在させることにより、次に示すような固有の効果を有する。

- (1) 暗導電率が $0.1\text{ S}\cdot\text{cm}^{-1}$ 以上(最大値 $100\text{ S}\cdot\text{cm}^{-1}$ )と大きな値が得られるので小形の抵抗体を絶縁基板上に形成できる。
- (2) 暗導電率が $0.1\text{ S}\cdot\text{cm}^{-1}$ 以上でもゼーベック係数が $100\sim 350\mu\text{V}/\text{K}$ 以上あるので、高性能な熱電対、高周波パワーセンサ、赤外線センサ、温度センサ等を構成することができる。
- (3) 暗導電率が $0.1\text{ S}\cdot\text{cm}^{-1}$ 以上と大きいのかか

わらず、ゲージ率が4~60以上と大きいので、高性能な歪みセンサ、圧力センサ、ロードセル、タッチセンサを構成できる。

- (4) 暗導電率の温度係数が $1\%/^\circ\text{K}$ 以下と非常に小さいので、温度補償を必要としない抵抗体はじめ高周波パワーセンサ、赤外線センサ、歪みセンサ、圧力センサ、ロードセル等を構成できる。

- (5) プラズマCVD法等比較的簡単な方法で形成でき、かつ、結晶化度、暗導電率等を容易に制御でき、かつ、ICプロセスと両立するので、従来のICの中に、温度センサ、歪みセンサ、圧力センサ等を容易に組み込むことができるので高性能ICを構成できる。又、温度センサ、歪みセンサ等を組み合わせた三次元センサを容易に、かつ、安価に構成できる。

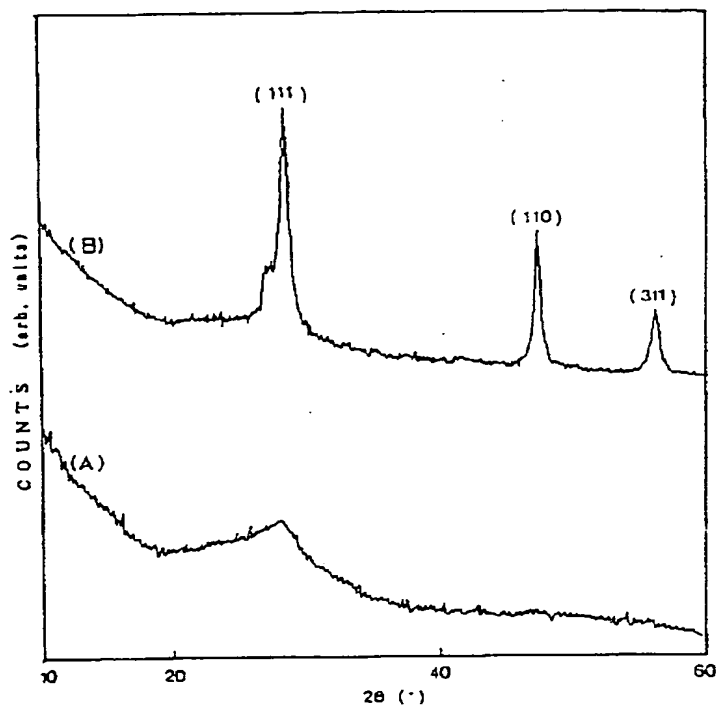
- (6) 薄膜形成技術により、いろいろな絶縁性基板上に、広い面積で自由な平面形状にわたり導電体を形成できる。

#### 4. 図面の簡単な説明

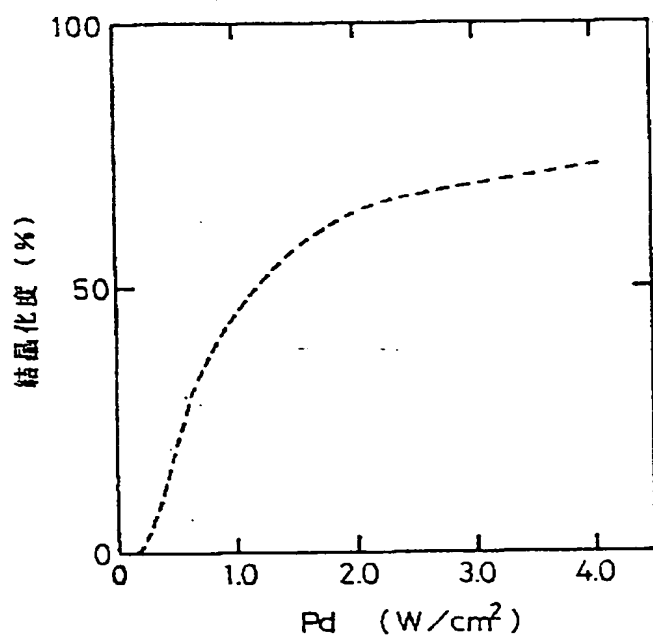
第1図は、アモルファスシリコン薄膜のX線回折パターンを示す図、第2図は、結晶化度の放電パワー依存性を示す図、第3図はレーザラマンスペクトルを示す図、第4図はゼーベック係数測定用サンプル4を示す図、第5図は暗導電率の温度依存性を示す図、第6図は暗導電率-ゼーベック係数特性を示す図、第7図は歪みゲージ測定用サンプル9を示す図である。

図中、1, 5は各ガラス基板、2, 6はアモルファスシリコン薄膜、3は白金電極、4はゼーベック係数測定用サンプル、7, 7'はオーミック電極、8, 8'はAuリボン線、9は歪みゲージ測定用サンプルをそれぞれ示す。

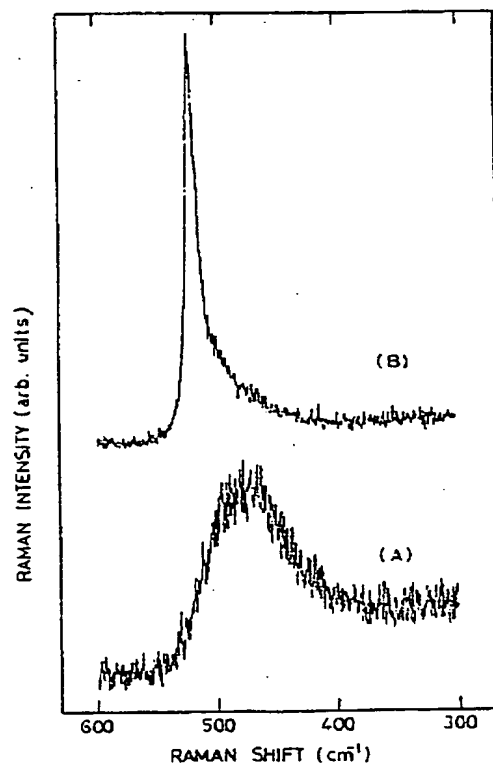
特許出願人 アンリツ株式会社  
代理人 弁理士 小池 龍太郎



第 1 図

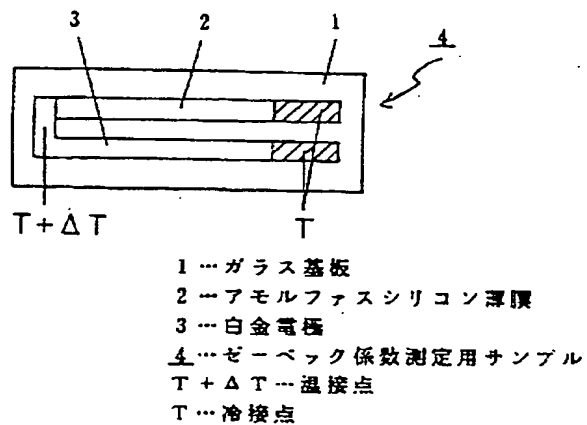


第 2 図

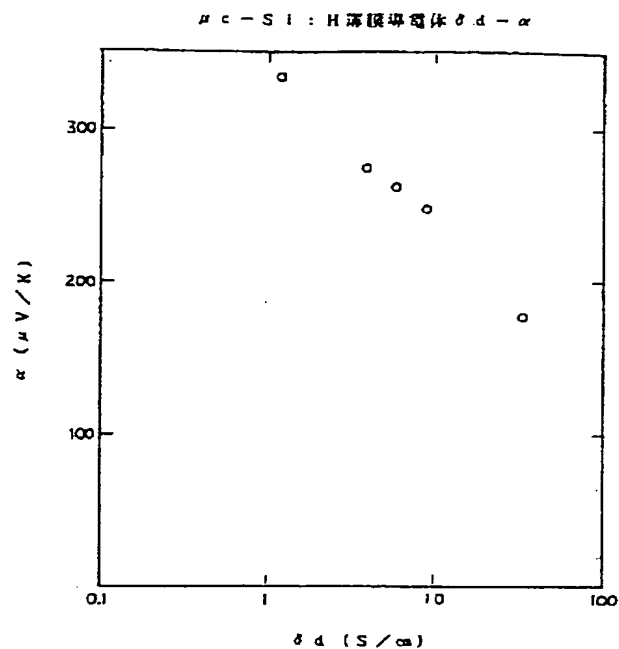


第 3 図

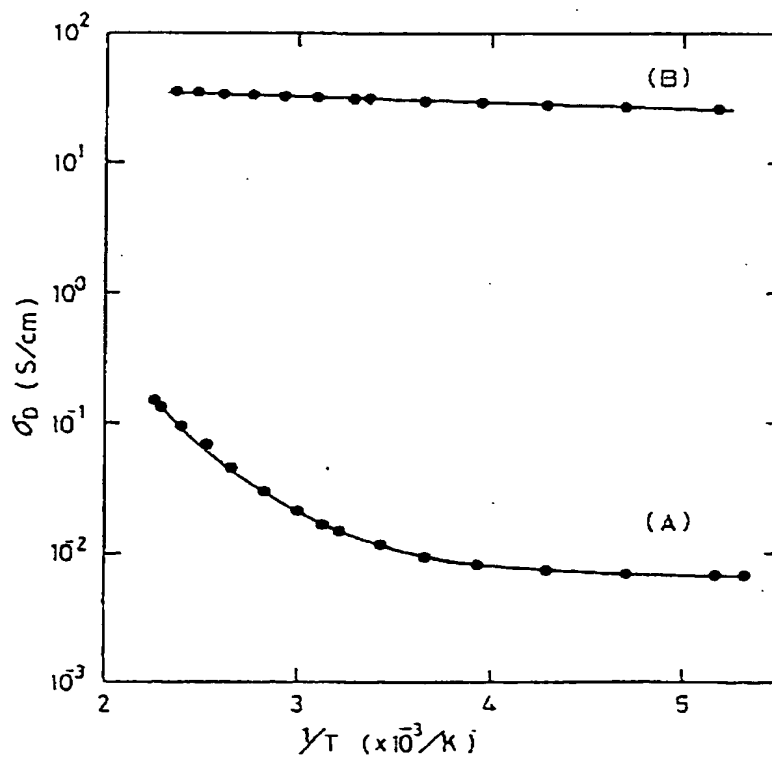




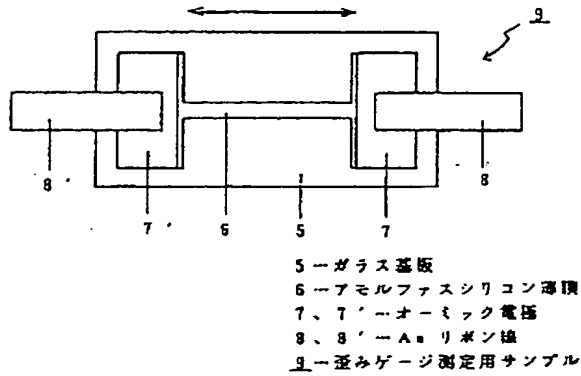
第 4 図



第 6 図



第 5 図



第 7 図